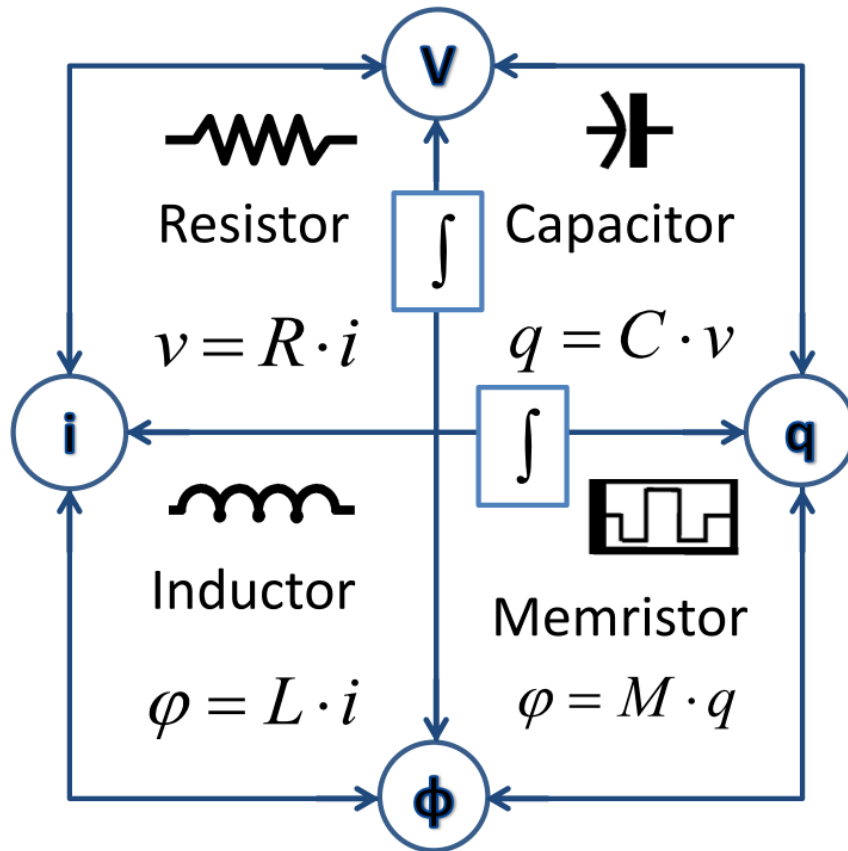


Zastosowanie memrystorów w układach wielkiej skali integracji

dr inż. Piotr Pawłowski, KE WEil

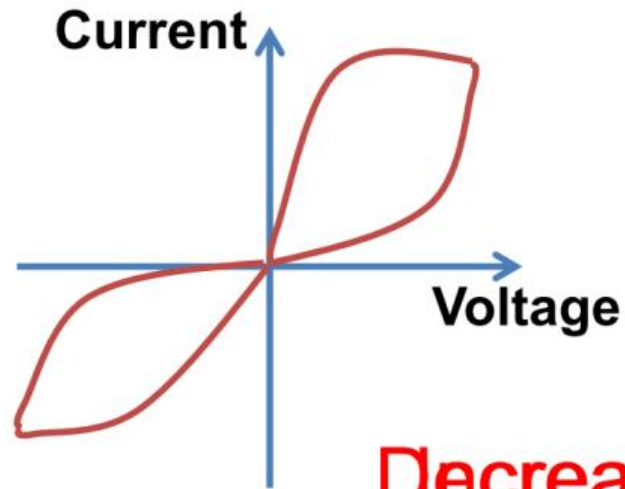
Idea działania memrystora



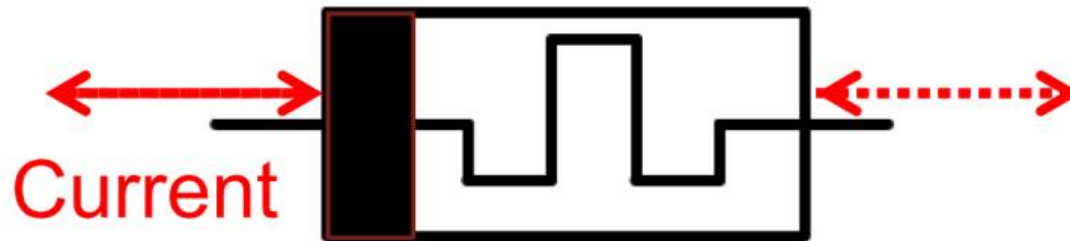
Memristor
Leon Chua 1971

L.O. Chua, "Memristor – The Missing Circuit Element," IEEE Trans. on Circuit Theory, 1971

Element o cechach memrystora

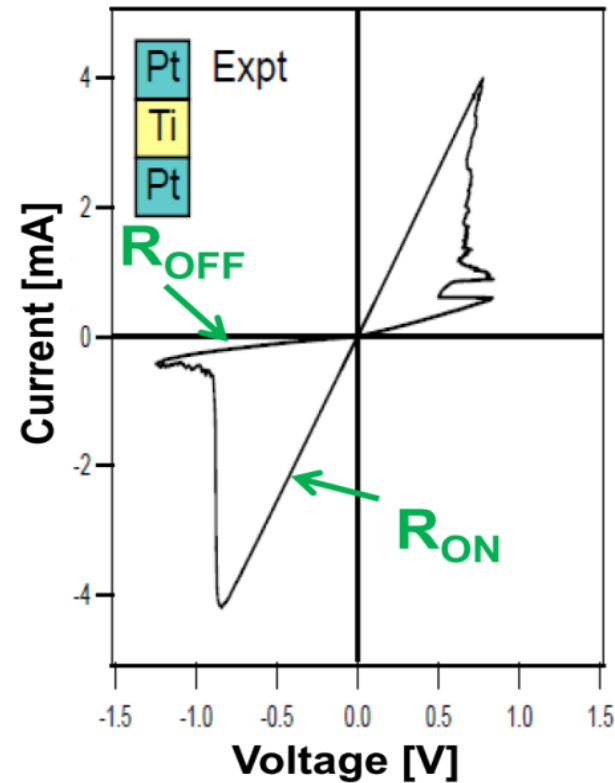
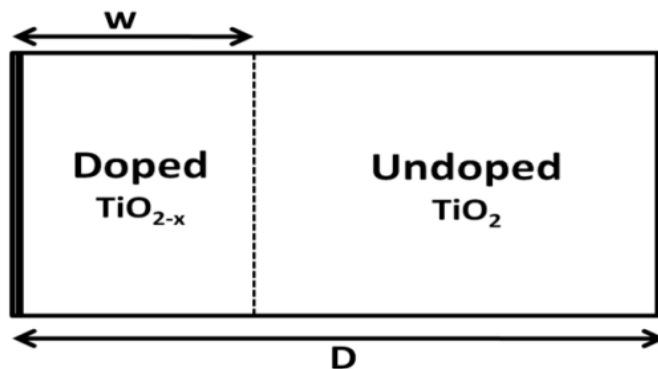


Decrease resistance



Technologiczne wytworzenie elementu o cechach memrystora

- Hewlett Packard



D.B. Strukov et al, "The Missing Memristor Found," Nature, 2008

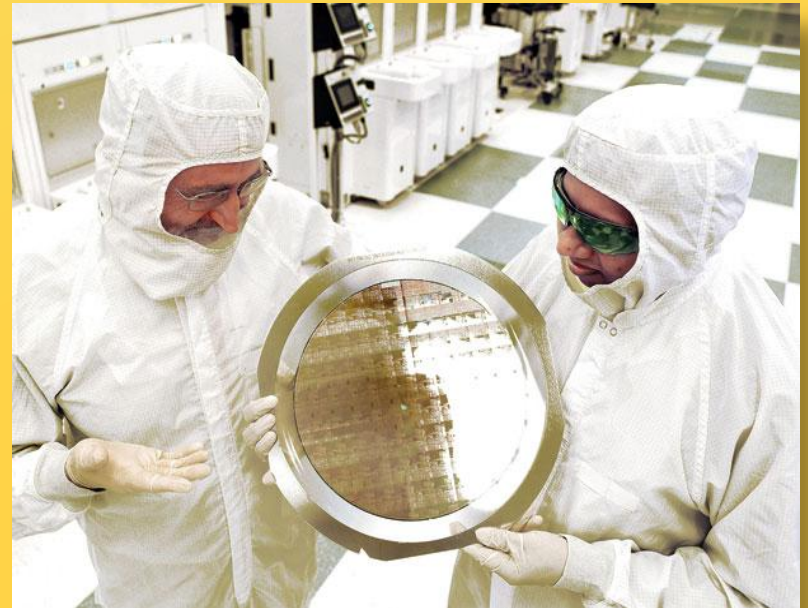
Potrzeba poszukiwania elementów, które pomogą w dalszej miniaturyzacji

Transistors Could Stop Shrinking in 2021. A key industry report forecasts an end to traditional scaling of transistors, IEEE Spectrum Blog By Rachel Courtland (22 Jul 2016)

2015 International Technology Roadmap for Semiconductors (ITRS)



**International Technology
Roadmap for Semiconductors
Examines Next 15 Years of Chip
Innovation**

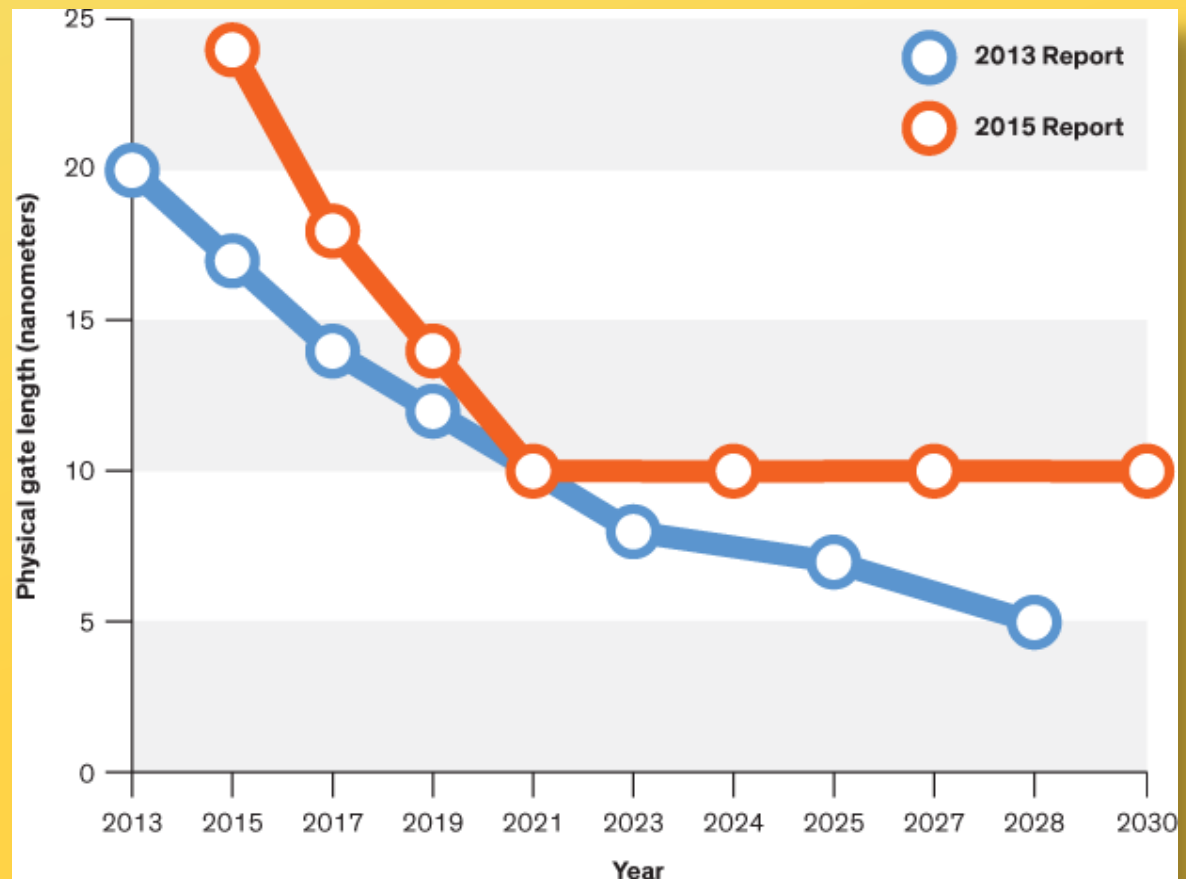


Wnioski z raportu ITRS

Cytat “End of The Road: ITRS had previously predicted that the physical gate length of transistors would shrink until at least 2028 [see blue line]. The last ITRS report shows this feature size going flat in the coming years. But ITRS chair Paolo Gargini says that some further scaling may be possible after transistors go vertical.”

Memrystory stanowią nową odrębną klasę w bieżącym raporcie

Strona 44 (38) w sekcji „Beyond CMOS” / „Emerging Devices for More-than-Moore”



Według raportu ITRS z 2015r

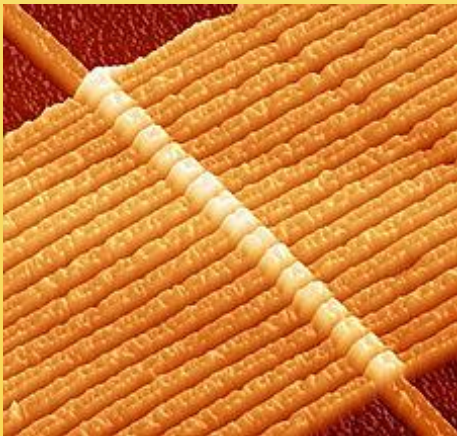
Grupy zastosowań memrystorów

- Pamięci
- Przełączniki matrycy połączeń w FPGA
- Układy logiczne
- Sieci neuronowe
- Układy analogowe – przestrajane generatory

Układy pamięciowe

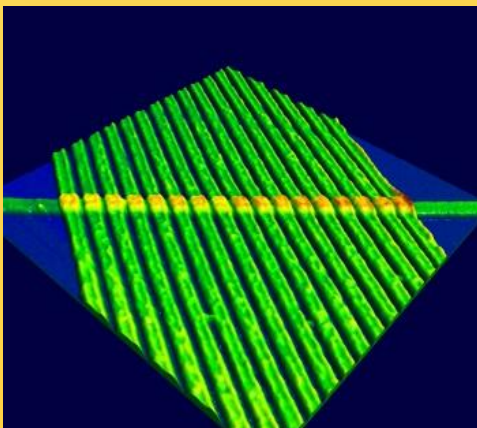
Odpowiedniki pamięci typu Flash

- Przekonanie o zastosowaniu pierwszych realizacji elementów o cechach memrystora



Zestaw 17 memrystorów w technologii oxygen-depleted titanium dioxide z HP Labs

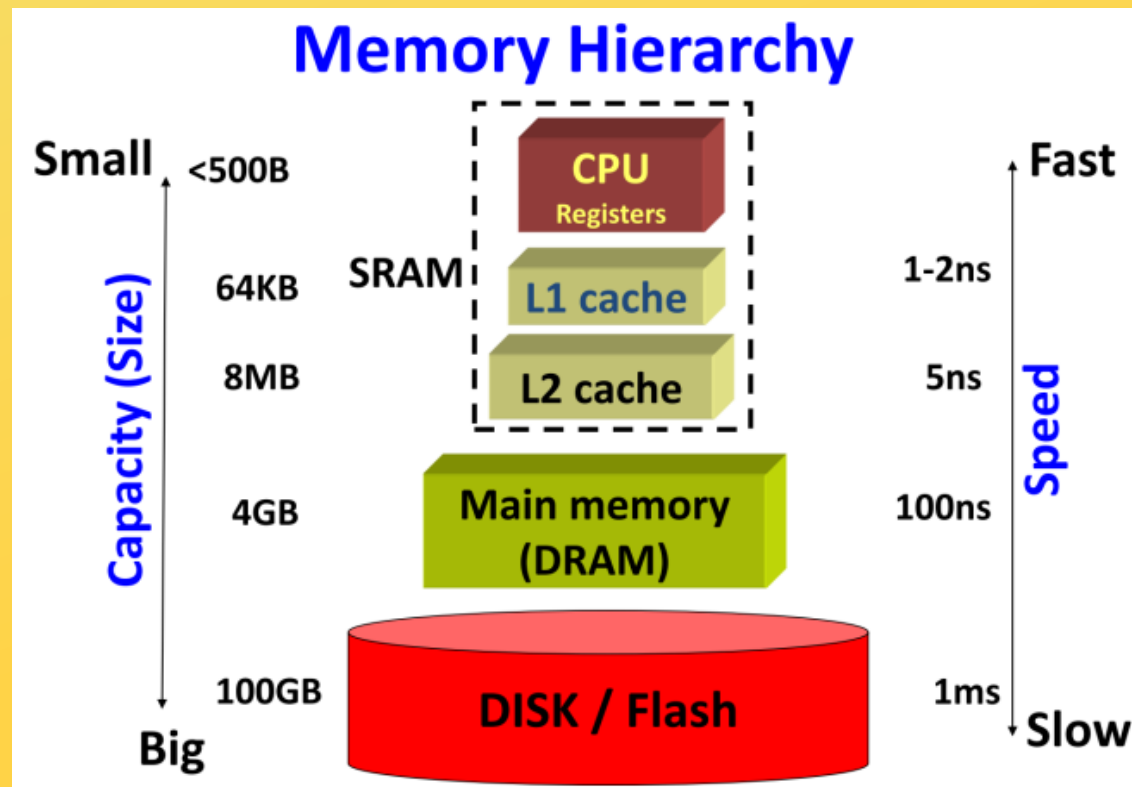
Atomic force microscope images of 17 HP Labs non-linear devices in a row, each a pair of oxide layers between the single bottom wire and one of the top wires. “The devices act as ‘memory resistors’ [memristors], with the resistance of each device depending on the amount of charge that has moved through each one,” Stanley Williams director of HP’s quantum systems lab, told Electronics Weekly. The wires are 50nm – about 150 atoms – wide.



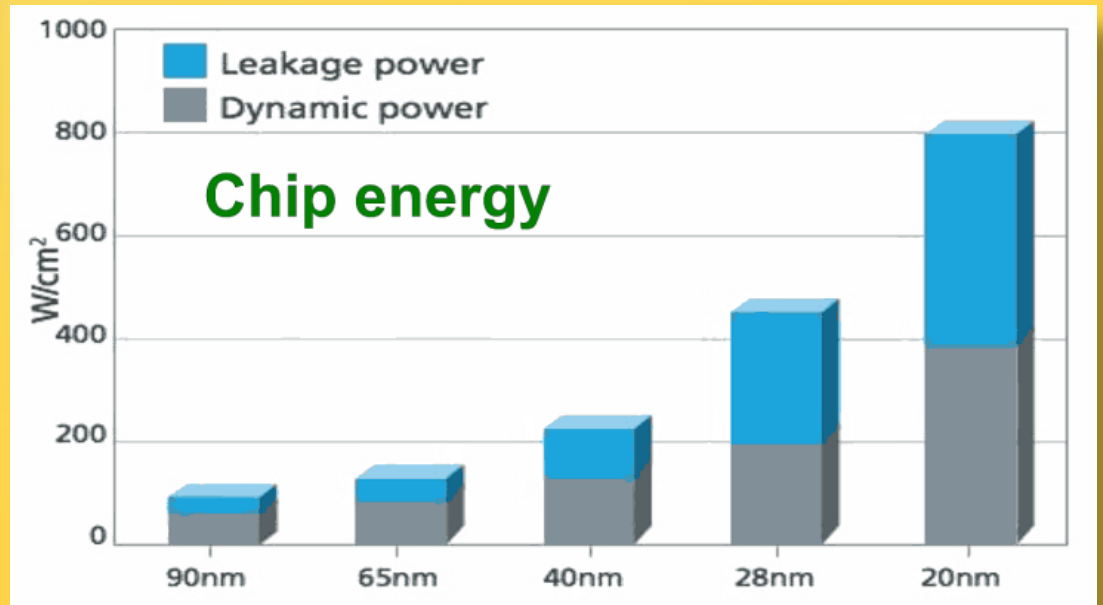
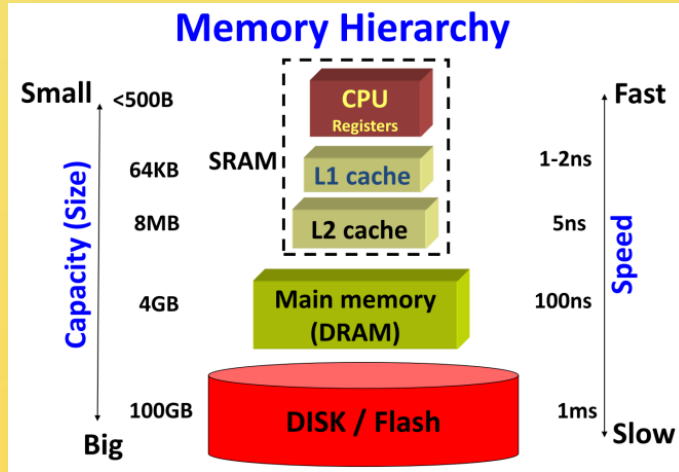
- Wymagania dla pamięci typu Flash

Tło wyboru pól zastosowań memrystorów w hierarchii pamięci komputerowych

- Cechy ograniczające zastosowanie ww. elementów w pamięciach typu Flash
- Pamięci dynamiczne RAM
- Czy istnieje potrzeba nowej technologii pamięci w przypadku pamięci dynamicznych RAM

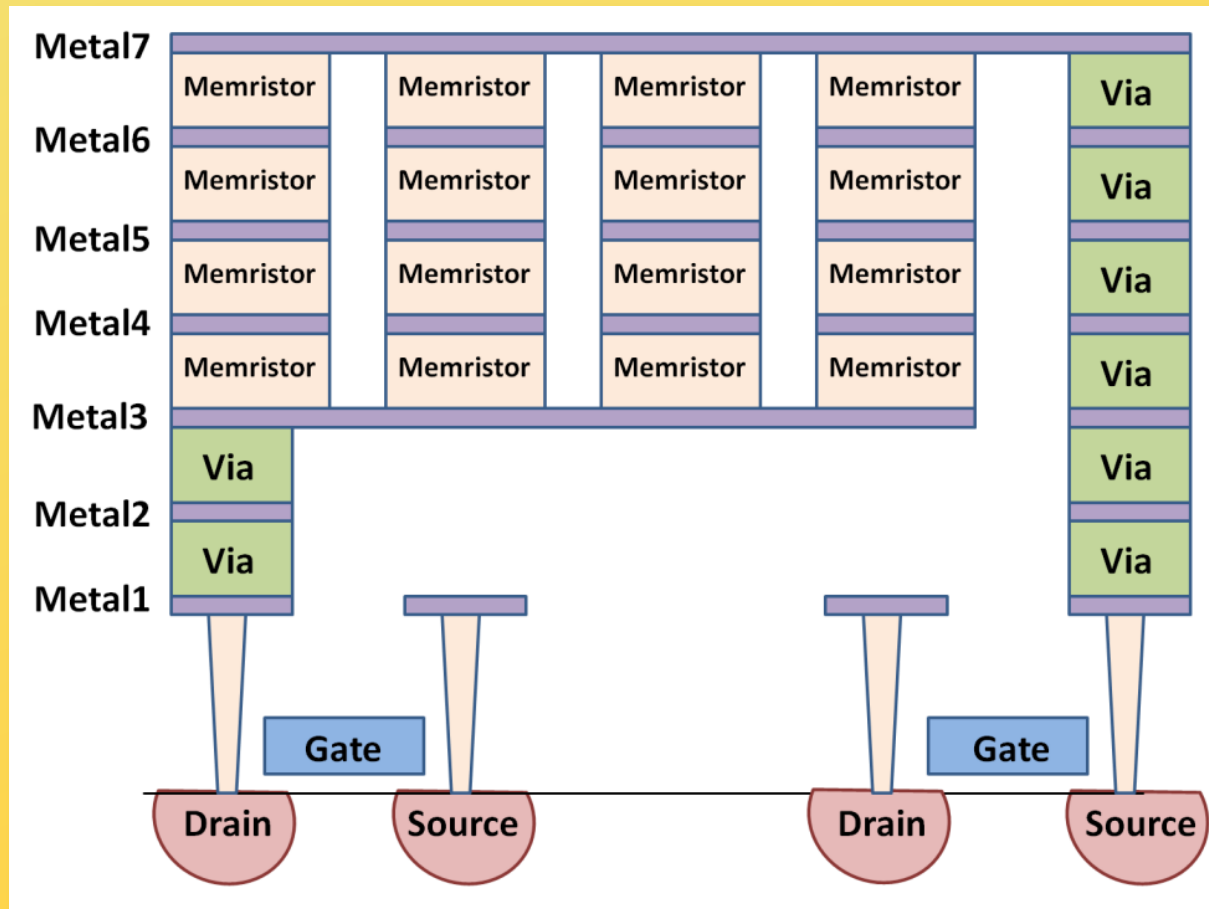


Pamięci dynamiczne RAM



- Potrzeba nowej technologii pamięci w przypadku pamięci dynamicznych RAM

Potrzeba kompatybilności



Jeśli taka kompatybilność jest możliwa ...

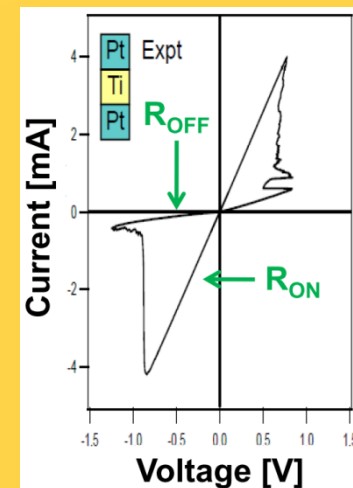
Układy logiczne z użyciem elementów o cechach memrystorów

Memrystory mogą być elementami do budowy układów cyfrowych

- W technologii hybrydowej, z CMOS
- Bez technologii CMOS

Pola zastosowań memrystorów w układach cyfrowych

- Obwody wejściowe
- Obwody wyjściowe
- Wykonywanie operacji logicznych
- Rejestry (zatrzaski, przerzutniki)
- Przełączniki konfigurowalne



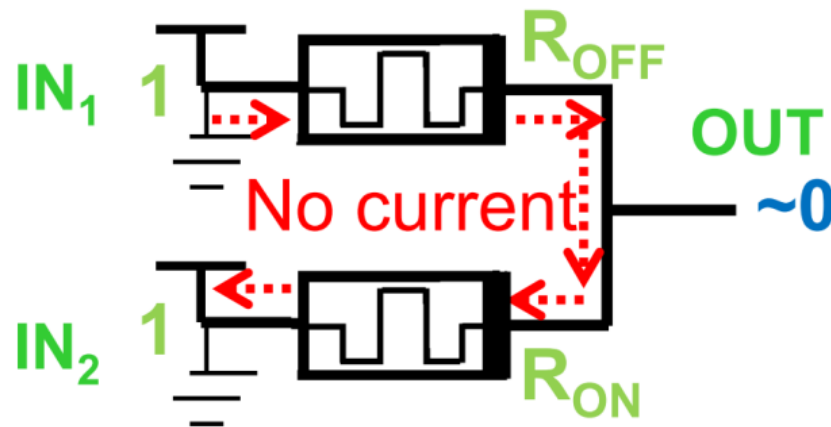
Przykład – bramka AND

MRL AND Operation

$$V_{OUT} = V_{CC} \cdot \frac{R_{ON}}{R_{ON} + R_{OFF}} \approx V_{CC} \cdot \frac{R_{ON}}{R_{OFF}} \ll V_{CC}$$

Increase resistance

IN ₁	IN ₂	AND
0	0	0
0	1	0
1	0	0
1	1	1



Decrease resistance

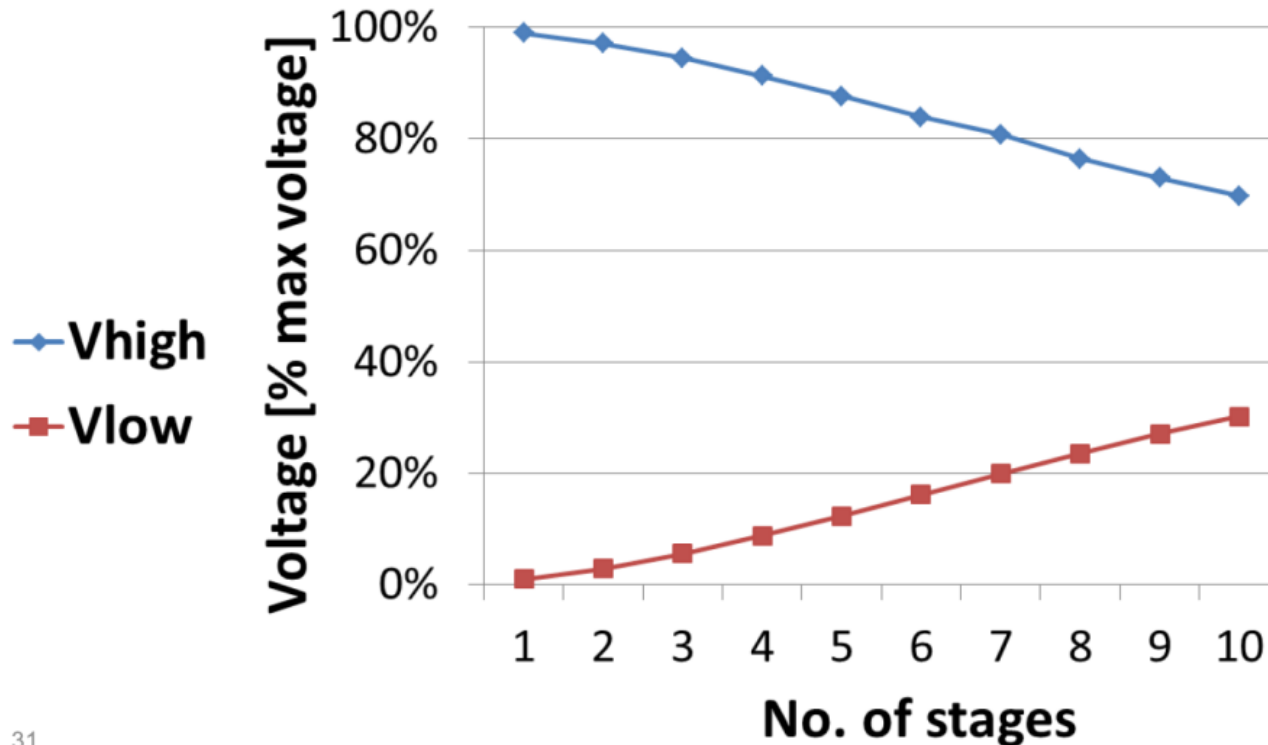
$$R_{OFF} \gg R_{ON}$$

30

S. Kvatinsky, G. Satat, N. Wald, E. G. Friedman, A. Kolodny, and U. C. Weiser, "MRL – Memristor Ratioed Logic," International Workshop on Cellular Nanoscale Networks and their Applications, 2012

Degradacja poziomu sygnału

- Chain of memristor-only logic gates



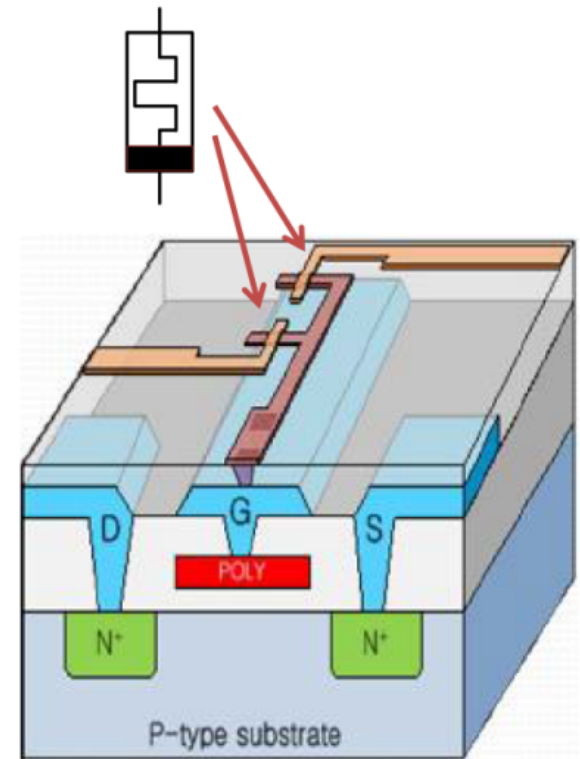
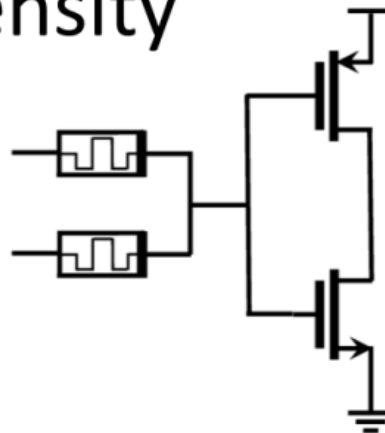
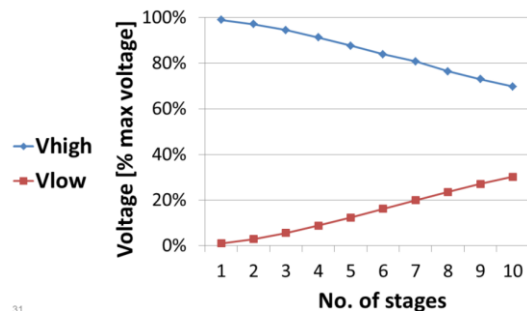
31

S. Kvatinsky, G. Satat, N. Wald, E. G. Friedman, A. Kolodny, and U. C. Weiser, "MRL – Memristor Ratioed Logic for Hybrid CMOS-Memristor Circuits," unpublished

Regeneracja sygnału w podukładzie CMOS

- Integrating MRL with CMOS logic:
 - Signal restoration
 - Inversion
- Increase logic density

- Chain of memristor-only logic gates



S. Kvatinsky, G. Satat, N. Wald, E. G. Friedman, A. Kolodny, and U. C. Weiser, "MRL – Memristor Ratioed Logic," International Workshop on Cellular Nanoscale Networks and their Applications 2012

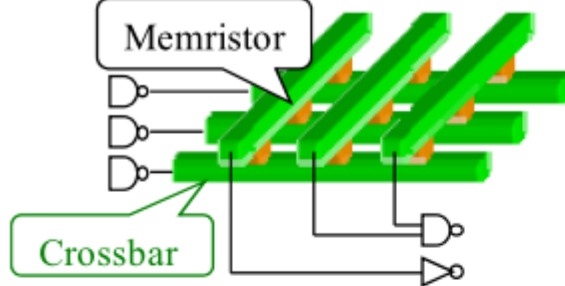
S. Kvatinsky, G. Satat, N. Wald, E. G. Friedman, A. Kolodny, and U. C. Weiser, "MRL – Memristor Ratioed Logic for Hybrid CMOS-Memristor Circuits," unpublished

Kolejne, nowe realizacje memrystorów

- Chanthbouala, A.; et al. (2012), "A ferroelectric memristor", [*Nature Materials*, **11** \(10\): 860–864](#), [arXiv:1206.3397](#), [Bibcode:2012NatMa..11..860C](#), [doi:10.1038/nmat3415](#)
- Ageev, O. A.; Blinov, Yu F.; Il'in, O. I.; Kolomiitsev, A. S.; Konoplev, B. G.; Rubashkina, M. V.; Smirnov, V. A.; Fedotov, A. A. (11 December 2013). ["Memristor effect on bundles of vertically aligned carbon nanotubes tested by scanning tunnel microscopy"](#). *Technical Physics*. **58** (12): 1831–1836. [Bibcode:2013JTePh..58.1831A](#). [doi:10.1134/S1063784213120025](#). [ISSN 1063-7842](#).

Obszar układów programowalnych

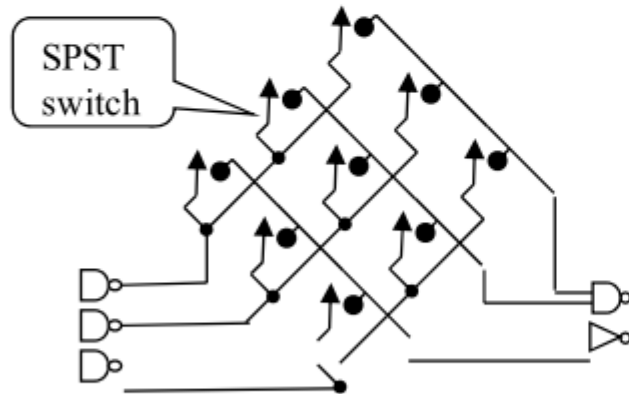
Reconfigurable (CMOL/FPNI-like):



Artificial neural network:

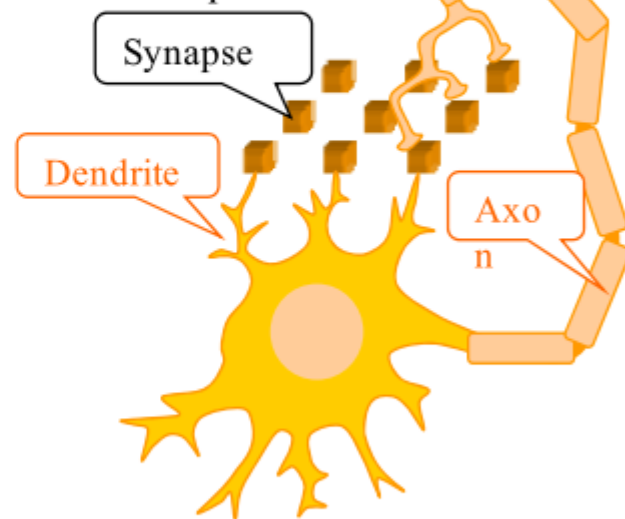


Equivalent logic diagram:



Reconfigurable-memristor functional mapping. Memristors fill the role of a SPST switch in a crossbar wiring network. The logic circuit can be “rewired” by appropriate switch/memristor settings

Natural neural network deformed to show equivalence:



Artificial-natural neural network mapping. Memristors fill the role of synapses with row/column wires filling the role of dendrites and axons.

Modelowanie memrystorów i układów z memrystorami

- SPICE – podukłady, bloki
- Verilog-A – układy VLSI
- MATLAB
- inne

```
//////////Simmons Tunnel Barrier model//////////  
if (model==1) begin // Simmons Tunnel Barrier model  
    if (sign(I(p,n))==1) begin  
        dxdt    =f_off*sinh(I(p,n)/i_off)*exp(-exp((x_last-  
            a_off)/x_c-abs(I(p,n)/b))-x_last/x_c);  
    end  
    if (sign(I(p,n))== -1) begin  
        dxdt    =  f_on*sinh(I(p,n)/i_on)*exp(-exp((a_on-  
            x_last)/x_c-abs(I(p,n)/b))-x_last/x_c);  
    end  
    x=x_last+dt*dxdt;  
    if (x>=D) begin  
        x=D;  
    end  
end
```

Dziękuję za uwagę